

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11087512

(43)Date of publication of application: 30.03.1999

(51)Int.Cl.

H01L 21/82

(21)Application number: 09236948

(22)Date of filing: 02.09.1997

(71)Applicant:

(72)Inventor:

NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

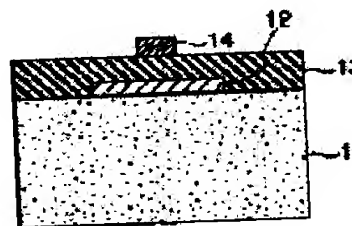
OTSUJI TAIICHI  
UMEDA YOTARO  
ENOKI TAKATOMO

(54) WIRING STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a high-speed and low-characteristic impedance signal wiring on the same space as that in prior art for enabling a high speed operation, without being restricted by wiring parasitic effect.

SOLUTION: This wiring structure comprises a ground wiring 12 having a width L as a first metal wiring layer on the top surface of a semiconductor substrate 11, a layer insulating film 13 formed on this wiring 12 and a top surface of the semiconductor substrate 11, and a signal wiring 14 having a width W as a second metal wiring layer above the center of the ground wiring 12 and thus a structure having the laminated ground and signal wirings 12, 14 which form microstrip lines.



LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of  
rejection]  
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

[DETAIL](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87512

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/82

識別記号

F 1

H 0 1 L 21/82

W

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平9-236948

(22) 出願日 平成9年(1997) 9月2日

(71) 出願人 000004226

日本電信電話株式会社  
東京都新宿区西新宿三丁目19番2号

(72) 発明者 尾辻 泰一

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 横田 祥太郎

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 横木 孝知

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

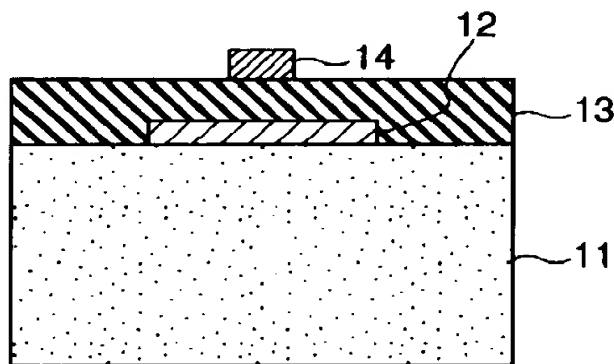
(74) 代理人 弁理士 鈴江 武彦 (外2名)

(54) 【発明の名称】 半導体集積回路の配線構造

(57) 【要約】

【課題】 高速且つ特性インピーダンスの低い信号配線を従来と同等のスペースで実現して、配線寄生効果に制約されずに、より高速動作を可能とすること。

【解決手段】 半導体基板11の上面に、第1の金属配線層として幅Lを有したグラント配線12が形成される。このグラント配線12及び半導体基板11の上面には、層間絶縁膜13が形成される。この層間絶縁膜13上で、上記グラント配線12の中央部の上方には、第2の金属配線層として幅Wを有した信号配線14が形成される。この半導体集積回路の配線構造は、グラント配線12と信号配線14とが積層された構造となっており、グラント配線12と信号配線14によってマイクロストリプ線路が形成される。



## 【特許請求の範囲】

【請求項1】 半導体基板上に誘電体材料を層間絶縁膜として少なくとも2層の金属配線層を有し、複数の論理回路セルを接続して成る半導体集積回路に於いて、第1の論理回路セルの信号出力と第2の論理回路セルの信号入力とを接続するもので、上記金属配線層の最下層を除く該金属配線層に互いに平行して形成される少なくとも1つの信号配線と、上記信号配線よりも下層の金属配線層に形成されたグランド配線とを有した疑似マイクロストリップ線路構造を具備することを特徴とする半導体集積回路の配線構造。

【請求項2】 請求項1に記載の半導体集積回路の配線構造に於いて、

上記グランド配線が配線幅 $L$ を有して上記信号配線と平行して形成され、該信号配線の配線幅 $W$ に対する上記グランド配線の配線幅 $L$ の比( $L/W$ )が1乃至10であることを特徴とする半導体集積回路の配線構造。

【請求項3】 請求項1に記載の半導体集積回路の配線構造に於いて、

上記信号配線は所定間隔がおかれて互いに平行に配置された2つの信号配線で構成されることを特徴とする半導体集積回路の配線構造。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】 この発明は半導体集積回路に関し、より詳細には化合物半導体による高速論理集積回路に於いて、回路動作速度の向上に有用な配線構造に関するものである。

## 【0002】

【従来の技術】 信号識別回路や信号多重化回路等の小規模論理集積回路では、論理回路セル間の信号線接続には、通常、数百 $\mu\text{m}$ から1mm程度の配線長が必要となる。通常、高速な回路ほど、信号配線長を極力短縮することが、基本的な設計手法として実施されている。

【0003】 また、信号配線の設計に於いては特性インピーダンスを考慮することはない、いわゆるインピーダンス整合設計を行わない。これは、信号配線長が、それを伝搬する信号の波長に対して $1/10$ 程度以下の場合には、信号配線を単純な集中定数素子としてモデル化することが可能であり、信号線路の特性インピーダンスとその線路を接続する回路の入出力インピーダンスとの不整合によって生じる多重反射による波形歪みを心配しなくて済むからである。

【0004】 超高速論理回路といった場合には、従来では20Gbps程度のビットレートが上限となるが、半導体基板上の何れかの配線層上に信号配線が布線された場合、400 $\mu\text{m}$ 程度の配線長までは集中定数として取り扱うことができる。この場合、信号配線を電気的に見たときに、寄生容量成分が主で、寄生インダクタンス成分はその寄与が小さく、線路が接続される端子の

抵抗成分と配線の寄生容量を含む容量成分の積で与えられる時定数成分が回路動作速度を律速することになる。

【0005】 したがって、従来に於いては、図7(a)若しくは(b)に示されるような構造をとっていた、例えば、図7(a)に於いて、半導体集積回路の配線構造は、半導体基板1上に配線層2が形成され、更にこの配線層2及び半導体基板1上に層間絶縁膜3が形成される。または、図7(b)に示されるように、半導体基板1上に層間絶縁膜3が形成され、更にこの層間絶縁膜3上に配線層2が形成される。

【0006】 このように、従来は、セル間の高周波信号接続には配線寄生容量成分の抑止に主眼が置かれ、配線層2としては、第1層若しくは第2層で鉄線幅の配線が用いられていた。この場合、1)半導体基板の誘電率が低く、特に化合物半導体では実効誘電率が前後と高く、波長短縮率が大い(言替えば伝搬速度が遅い)、2)線路の特性インピーダンスは150 $\Omega$ 前後と高く、通常50 $\Omega$ 以下と低い高速論理回路の出カインピーダンスと整合しない、という性質を有していた。

【0007】 しかしながら、回路動作速度の向上と共に信号配線が次第に分布定数線路として見え始め、40Gbps以上では、その信号配線が及ぼす寄生効果によって回路動作速度が大きく制限されていた。

## 【0008】

【発明が解決しようとする課題】 上述した従来技術の性質により、特に配線長が信号波長と同等となる数10Gbps以上の高速動作領域に於いては、配線伝搬遅延時間と多重反射による波形歪みが回路動作速度を制限する要因として顕在化していた。以下、これについて具体的に詳述する。

【0009】 高速論理回路に於いては、エミッタ結合論理回路(ELC: Emitter-Coupled Logic)、若しくはソース結合FET論理回路(SCFL: Source-Coupled FET Logic)といった回路構成が用いられる。これらの論理回路の出力には、負荷駆動力の高いエミッタフォロワ、若しくはソースフォロワが常用される。

【0010】 これらの回路の出カインピーダンスは、おおまかに言えばそれらを構成するトランジスタのトランスコンダクタンスの逆数で与えられ、数10 $\Omega$ 以下と低いものである。例えば、エミッタフォロワでは10 $\Omega$ 以下、ソースフォロワでは20~60 $\Omega$ 程度である。

【0011】 一方、論理回路の入力はトランジスタのベース、若しくはゲート電極であり、それらの入力インピーダンスはエミッタ結合論理回路で数百 $\Omega$ 以上、ソース結合FET論理回路で数k $\Omega$ 以上と高い。したがって、ビットレートの向上と共に、両者を接続する信号配線長が信号波長の $1/10$ よりも長くなり、且つ信号配線の特性インピーダンス( $\sim 180\Omega$ )が論理回路の出カインピーダンス(数10 $\Omega$ 以下)と整合しない。そのた

## 3

め、出力された信号が次の入力端でほぼ全反射し、その反射波が今度は出力端に到達して逆相となって反射し、その反射波が信号線路を伝搬して入力端に到達し、元々の入力信号に重畳することになる。

【0012】実際には、この多重反射が繰り返され、次の入力端では信号線路の往復の伝搬遅延時間の整数倍された位置に多重反射波が重畳され、その結果として信号波形が歪みを生ずることになる。

【0013】図8は、この歪みが信号波形を表す特性図である。図8では、インジウム・磷（InP）基板上に集積された高電子移動度トランジスタ（HEMT）によるソース結合EHT論理回路を例にしており、高電子移動度トランジスタはトランスコンダクタンス20mS、ドレインコンダクタンス2mS、電流利得遮断周波数190GHzとし、信号配線は線路幅1.5 $\mu$ m、線路長450 $\mu$ mで最下層配線層に形成される。

【0014】入力信号には40Gb/sの疑似ランダムパルスパターンが用いられ、第2の論理回路セルの入力端に於けるインピーダンスが示される。尚、本数値解析には回路シミュレータHSPICEが用いられている。また、インピーダンスが大幅に劣化しているのがわかる。

【0015】以上のように、従来に於いては、1）信号配線の特性インピーダンスが回路の出力インピーダンスに比べてかなり高いこと、2）伝搬速度が遅いこと、によって高速動作領域で大きな波形歪みを生じていた。

【0016】信号配線の幅を単純に拡張することで特性インピーダンスの低減が可能であるが、整合度が改善される数10 $\Omega$ 以下まで低減するには5倍以上に拡張しなければならない。そのため、配線部分の占有面積の増大を招き、そのことが回路全体を高密度に集積することを妨げ、高速動作を妨げることとなり、現実的な解決には至らないものであった。

【0017】この発明は上記の課題を解決するものであり、その目的は高速且つ特性インピーダンスの低い信号配線を従来と同等のスペースで実現することによって、配線寄生効果に制約されない、より高速動作が可能な半導体集積回路の配線構造を提供することである。

【0018】

【課題を解決するための手段】すなわちこの発明は、半導体基板上に誘電体材料を層間絶縁膜として含み、2層の金属配線層を有し、複数の論理回路セルを接続して成る半導体集積回路に於いて、第1の論理回路セルの信号出力と第2の論理回路セルの信号入力とを接続するもので、上記金属配線層の最下層を除く該金属配線層に互いに平行して形成される少なくとも1本の信号配線と、上記信号配線よりも下層の金属配線層に形成されたグラウンド配線とを有した疑似マイクロストリップ線路構造を具備することを特徴とする。

【0019】この発明にあっては、半導体基板に近い下層配線層にグラウンド配線を形成することによって、その

## 4

上層に位置する信号線路に対して半導体基板の高い誘電率を電氣的に遮蔽し、信号配線の実効誘電率を層間絶縁膜と同等に低下せしめている。このことが、信号線路の伝搬速度を向上せしめると同時に信号線路の特性インピーダンスを低下せしめる。前者の効果によって、信号配線を集中定数としてみなすことができる周波数の上限を広げることができ、更に後者の効果によって信号線路の特性インピーダンスとそれを接続する論理回路の出力インピーダンスとの整合度を向上できる。したがって、例えば信号配線を分布定数とみなさなければならない高周波領域に於いても、インピーダンス不整合に起因した多重反射による信号波形歪みを抑え、配線寄生効果に制約されない、より高速動作が可能な集積回路を実現することができる。

【0020】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1は、この発明の第1の実施の形態を示す半導体集積回路の配線構造の構成例を示した断面図である。この第1の実施の形態では、最も単純な構成として、信号配線が単層構造の場合について示している。

【0021】図1に於いて、半導体基板11の上面には、第1の金属配線層として幅Lを有したグラウンド配線12が形成されている。そして、このグラウンド配線12及び半導体基板11の上面には、層間絶縁膜13が形成される。更に、この層間絶縁膜13上で、上記グラウンド配線12の中央部の上方には、第2の金属配線層として幅Wを有した信号配線14が形成されている。

【0022】このように、第1の実施の形態に於ける半導体集積回路の配線構造は、グラウンド配線12と信号配線14とが積層された構造となっている。また、信号配線14の上部は、空気により充填されている。そして、この配線構造は、グラウンド配線12と信号配線14によって、いわゆるマイクロストリップ線路が形成されている。

【0023】第1の実施の形態に於ける配線構造は、通常の化合物半導体集積回路の加工技術を想定して、半導体基板はInPで厚み600 $\mu$ m、金属配線層であるグラウンド配線12及び信号配線14は金（Au）で形成される。信号配線14の線幅Wは最小許容幅に近い2 $\mu$ m、厚みは1.5 $\mu$ mとする。一方、グラウンド配線12は、信号配線14に比べて十分に広い領域に形成されるものとし、簡単のために信号配線14と平行な幅Lを有した配線として与えられ、線幅Lを20 $\mu$ m、厚みは0.7 $\mu$ mとする。

【0024】上記層間絶縁膜13は、窒化シリコン（SiN）で形成され、配線部分の絶縁膜厚、すなわち層間距離Hを1.5 $\mu$ mと仮定する。電磁界解析によらず、信号配線14の波数応答、信号配線14が感じる実効的な誘電率と特性インピーダンスを算出することができ

る。この第1の実施形態の場合には、実効誘電率は窒化シリコンの比誘電率(6.9)より小さい4.3程度の値となり、また特性インピーダンスは42Ωとなる。

【0025】こうした信号配線14を実際の論理回路セル間の接続に用いた場合の信号波形について、従来技術が紹介した図8の場合と比較して説明する。図3は、図1の配線構造が適用された信号配線と、信号を送信する第1の論理回路セル及び信号を受ける第2の論理回路セルの構成例を示した図である。

【0026】接続する論理回路セルの構成やトランジスタ性能等の条件は、上述した従来例と同一のものとする。すなわち、InP(インジウム・リン)基板上に集積されたHEMT(高電子移動度トランジスタ)によるソース結合FET論理(SCFL)回路を例にしており、HEMTはトランスコンダクタンス20mS、ドレイン抵抗値2mS、電流利得遮断周波数190GHzとし、信号配線の線路長は450μmとする。

【0027】図2に於いて、信号配線14は第1の論理回路セル16と第2の論理回路セル17の間に接続されている。上記第1の論理回路16セルと第2の論理回路セル17は同一構成のものであり、差動論理回路18にソースフォロワ19が接続されている。

【0028】上述したとおり、第2の論理回路セル17の入力インピーダンスは数kΩと非常に高いので、入力端に到達した信号は、ほぼ全反射することになる。したがって、波形応答に於いて重要となるのは、第1の論理回路セル16の出力インピーダンスZ<sub>out</sub>と信号配線14の特性インピーダンスの整合度である。第1の論理回路セル16の出力インピーダンスZ<sub>out</sub>は、ソースフォロワを構成するトランジスタのトランスコンダクタンス(G<sub>m</sub>)とドレイン抵抗値(R<sub>d</sub>)によるで、以下のように近似的に与えられる。

$$Z_{out} = 1 / (G_m + G_d) \quad (1)$$

したがって、入力端での電圧反射係数は0.03と小さい。

【0029】図8と同様に、回路シミュレータHSPICEを用いて40GHzの疑似ランダムパルスパターンに対する第2の論理回路セル17の入力端に於けるアイパターンを計算した。

【0030】図3は、このアイパターンの結果を示した特性図である。図3によれば、ほとんど多重反射の無い、極めて良好なアイ図が得られているのがわかる。図7及び図8に示された従来例では、信号線路の特性インピーダンスが180Ωであったが、その場合の入力端での電圧反射係数は-0.6と大きく、インピーダンス不整合が波形歪みをもたらしていることがわかる。尚、最下層配線層にグラウンド配線を設けない従来技術では、実効誘電率は6.1程度と高い。そして、その従来配線の伝搬速度は、本実施の形態による信号配線(実効誘電

率は4.3)のそれよりも20%低い。

【0031】上記トランジスタを用いてエミッタ結合論理回路形式の信号多重回路を設計した場合、HSPICEによるシミュレーションでは、従来技術による配線構造に比して本発明による配線構造を用いた場合は、20%程度の回路動作速度の改善が可能となる。トランジスタの速度性能が向上するにつれて、この改善効果は更に増して行く。これは、トランジスタ素子が高速化しても、抵抗素子や電極手法を縮小することにはなかならないため、回路間の接続に要する配線長はほとんど変わらないため、従来技術によれば、信号配線の伝搬遅延時間が信号波長の1/4程度となる周波数が応答帯域の上限となってしまいうからである。

【0032】次に、この発明の第2の実施の形態を説明する。図4は、この発明に於ける第2の実施の形態で半導体集積回路の配線構造の構成例を示した断面図である。

【0033】高速な論理回路では、論理回路セル間の接続に相補信号接続が用いられた完全差動構成をとることが多い。この第2の実施の形態は、その場合の本発明の適用例を示すものであり、2本の信号配線が互いに平行して形成されている場合について示している。

【0034】図4に於いて、半導体基板11の上面には、第1の金属配線層として幅Lを有したグラウンド配線12が形成されている。そして、このグラウンド配線12及び半導体基板11の上面には、層間絶縁膜13が形成される。更に、この層間絶縁膜13上で、上記グラウンド配線12の中央部の上方には、線幅Wを有した2つの第2金属配線層である信号配線14a及び14bが、間隔Sで平行して配置されている。

【0035】すなわち、通常の化合物半導体集積回路の加工技術を想定して、半導体基板はInPで厚み600μm、グラウンド配線12及び信号配線14a、14bは金(Au)で形成される。そして、信号配線14a、14bの線幅Wは最小許容幅に近い2μm、厚みは1.5μmとされる。また、グラウンド配線12の線幅Lは10μm、厚みは0.7μmとされる。更に、層間絶縁膜13は窒化シリコン(SiN)で形成され、配線部分の絶縁膜厚、すなわち層間距離Hは1.5μmと仮定する。

【0036】この例のような相補信号配線では、信号配線の等長化が必要なことと、同相雑音成分除去効果を高めることのために、信号配線幅と同程度にまで間隔Sを狭めて平行に配設するのが常道である。そこで、第2の実施の形態でも、信号配線14aと14bとの間隔Sは、各信号配線14a、14bの線幅Wに等しい2μmとされる。

【0037】電磁界解析によって信号配線14a、14bの周波数応答、信号配線14a、14bが感ずる実効的な誘電率と特性インピーダンスを算出することができる。この第2の実施の形態の場合には、実効誘電率は窒

10

20

30

40

50

化シリコンの比誘電率(6～9)より小さい3、4程度の値となり、また特性インピーダンスは33Ωとなる。ちなみに、特性インピーダンスが図1に示される第1の実施の形態に比べて低いのは、隣接する信号配線との結合によって容量成分が増加するためである。図5は、この信号配線により接続される論理回路セルを含む回路構成の一例を示したものである。

【0038】図5に於いて、信号配線14a及び14bは、第1の論理回路セル21と第2の論理回路セル22の間に接続されている。上記第1の論理回路セル21と第2の論理回路セル22は同一構成のものであり、差動論理回路23にソースフォロワ24a、24bが接続されている。

【0039】尚、信号配線14a、14bに接続される論理回路セルの基本構成やトランジスタ性能等の条件は、上述した図2と同一のものとする。図5の回路構成は、ソースフォロワ24a、24bが差動出力信号の双方に接続され、それらの出力が信号配線14a、14bを介して第2の論理回路セル22の差動入力に接続されている点のみが上述した図2の構成と異なる。

【0040】すなわち、1nP基板上に集積されたHEMT(高電子移動度トランジスタ)によるソース結合HEMT論理回路を例にしており、HEMTはトランスコンダクタンス20mS、ドレイコンダクタンス2mS、電流利得遅延周波数190GHzとされ、信号配線14a及び14bの線路長は450μmとされる。

【0041】上述したとおり、第2の論理回路セル22の入カインピーダンスは数kΩと非常に高いので、入力端に到達した信号はほぼ全反射することになる。したがって、波形応答に於いて重要となるのは、第1の論理回路セル21の出力インピーダンスZ<sub>o</sub>と信号線路Sの特性インピーダンスの整合度である。

【0042】第1の論理回路セル21の出力インピーダンスZ<sub>o</sub>は、上述したとおり、ソースフォロワを構成するトランジスタのトランスコンダクタンス(G<sub>m</sub>)とドレイコンダクタンス(G<sub>ds</sub>)によって、以下のように近似的に与えられる。

$$Z_o = 1 / (G_m + G_{ds}) \\ \approx 45 (\Omega)$$

したがって、入力端での電圧反射係数は0.15となり、上述した第1の実施の形態より整合度は若干低下するが、それでも図8に示した従来例(0.6)の1/4以下と小さくなる。

【0043】この第2の実施の形態では、特性インピー

ダンスがより低下する傾向を示すが、このような場合には、インピーダンス整合をより向上させることが可能である。すなわち、上記ソースフォロワの出力インピーダンスはそれを構成するトランジスタのG<sub>m</sub>にほぼ反比例し、G<sub>m</sub>はトランジスタサイズに比例することから、大きなトランジスタを用いれば論理回路セルの出力インピーダンスをより低下させることができる。

【0044】例えば、1、5μm程度のサイズのトランジスタを用いればG<sub>m</sub>、G<sub>ds</sub>は、各々30mS、3mSとなっており、インピーダンスZ<sub>o</sub>は30Ωに低減することができる。この場合の電圧反射係数は、0.05と十分小さくできる。したがって、図3に示したものと同等な波形応答特性を得ることができる。

【0045】このように、第2の実施の形態によれば、下層金属配線層に形成されたグランド配線の効果によって、信号配線の特性インピーダンスを数10Ωのオーダーに低く設定できるので、論理回路セルの出力インピーダンスをその回路のトランジスタサイズで調整することによって、ほぼ完全なインピーダンス整合を果すことが可能となる。

【0046】加えて、下層金属配線層に形成されたグランド配線の遮蔽効果によって実効誘電率を従来技術より低下できるので、伝搬速度が従来より向上でき、信号多重反射が問題とならない。尚、これら信号配線を集中定数として考慮できる周波数の上限を向上することが可能となる。

【0047】これらの効果によって、より高速な回路動作を実現することが可能となる。次に、この発明の第3の実施の形態を説明する。この第3の実施の形態は、上述した第1及び第2の実施の形態に示された層間絶縁膜12を、より比誘電率の低い材料に置換えた場合について示す。したがって、その配線構造は、上述した第1及び第2の実施の形態と同様であるので説明を省略する。

【0048】現在、層間絶縁膜としてはポリイミド(比誘電率3.9以下)やBCB(比誘電率2.8以下)といった種々の材料が利用されているが、層間絶縁膜の誘電率の低下と共に、当然ながら信号配線の実効誘電率は低下し、且つ特性インピーダンスは増大する。例えば、BCB(比誘電率2.8以下)の場合について、上述した第1の実施の形態と第2の実施の形態とを比較すると、下記表1のようになる。

【0049】

【表1】

	第1の実施の形態		第2の実施の形態	
	SIN	BCB	SIN	BCB
実効比誘電率	4.3	2.0	3.4	1.7
伝搬速度	0.48c	0.71c	0.54c	0.77c
特性インピーダンス	42Ω	60Ω	33Ω	46Ω

(cは真空中の光速)

10

20

30

40

【0050】これより、比誘電率が2.8以下と低い層間絶縁膜を用いれば、伝搬速度を40～50%程度向上させることが可能であり、信号多重反射が問題とならない。言替れば、信号配線を集積定数として考慮できる周波数の上限を、より一層向上することが可能となる。

【0051】また、その場合の特性インピーダンスは伝搬速度と同程度に増大するものの、依然60Ω以下の低い値に留まるため、インピーダンス整合が大幅に損なわれることはなく、論理回路セルの出力インピーダンスをその回路のトランジスタサイズで調整することによって、ほぼ完全なインピーダンス整合を果たすことが可能である。

【0052】もちろん、配線の線路幅を拡張することによっても特性インピーダンスを低減できる。例えば、上述した第1の実施の形態の場合では、信号線幅を4μmに倍増することで特性インピーダンスは44Ωに、信号線幅を3倍の6μmに拡張することで34Ωにそれぞれ低減することができる。よって、低誘電材料の導入によって、本発明の効果はより増大すると云える。

【0053】次に、この発明の第4の実施の形態について説明する。ここでは、信号配線14の線幅Wに対するグラウンド配線12の線幅Lの比をパラメータとして、グラウンド配線12の効果について説明する。

【0054】この第4の実施の形態の配線構造は、上述した第1の実施の形態と同様であり、層間絶縁膜13としてS1NとBCBの両者について示す。信号配線14の線幅Wが2μmに固定されて、グラウンド配線12の線幅Lに対する特性インピーダンスと伝搬速度の変化的様子が、図6の特性図である。

【0055】図6より、グラウンド配線12の線幅Lが僅かに存在しはじめると、特性インピーダンスは急激に低下しはじめる。そして、信号配線14の線幅Wと同程度になると、グラウンド配線12が存在しなかった場合の初期値の30%以下の50Ωにまで低下する。この後は、L=2Wで45Ω、L=3Wで43Ω、L=10Wで42Ωと、飽和傾向を示す。

【0056】このことは、グラウンド配線としては信号線幅と同等の僅かな配線幅で十分なインピーダンス低減効果を有することを示している。また、伝搬速度もグラウンド配線幅の増大と共に向上し、特に比誘電率の小さいBCBを層間絶縁膜とする場合には、僅かなグラウンド配線幅で著しい速度向上が得られる。

【0057】以上により、グラウンド配線幅としては信号線幅の1倍乃至は10倍の範囲で十分な効果を得ることができる。したがって、信号配線スペースを余分に必要

とすることがなく、本発明の効果を得られる。

【0058】以上第1乃至第4の実施の形態では金属配線層が2層の場合について述べたが、3層以上の多層金属配線層を有する場合にも適用可能であることは勿論である。つまり、信号配線の直下でより半導体基板に近い下層金属配線層にグラウンド配線を形成すれば良い。例えば、第1層配線層にグラウンド配線を形成し、第3層金属配線層を形成しても同様の効果を得ることができる。

【0059】

10 【発明の効果】以上よりこの発明によれば、高速且つ特性インピーダンスの低い信号配線を従来の同等のスペースで実現することができるので、配線寄生効果に制約されない、より高速動作が可能な半導体集積回路の配線構造を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態を示す半導体集積回路の配線構造の構成例を示した断面図である。

20 【図2】図1の配線構造が適用された信号配線と、信号を送出する第1の論理回路セル及び信号を受ける第2の論理回路セルの一構成例を示した区である。

【図3】この発明の第1の実施の形態による配線構造が用いられた場合の信号波形歪みの一例を示す特性図である。

【図4】この発明に於ける第2の実施の形態で半導体集積回路の配線構造の構成例を示した断面図である。

【図5】図4の配線構造が適用された信号配線と、信号を送出する第1の論理回路セル及び信号を受ける第2の論理回路セルの一構成例を示した区である。

30 【図6】図1の半導体集積回路の配線構造に於ける信号配線の実効比誘電率と特性インピーダンスのグラウンド配線幅Lに対する依存性について示した特性図である。

【図7】従来の半導体集積回路の配線構造の例を示した断面図である。

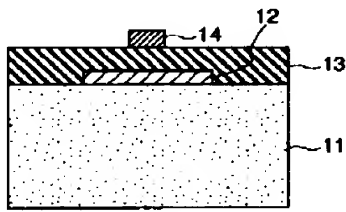
【図8】従来の半導体集積回路の配線構造が適用された場合の信号波形歪みの一例を示した特性図である。

【符号の説明】

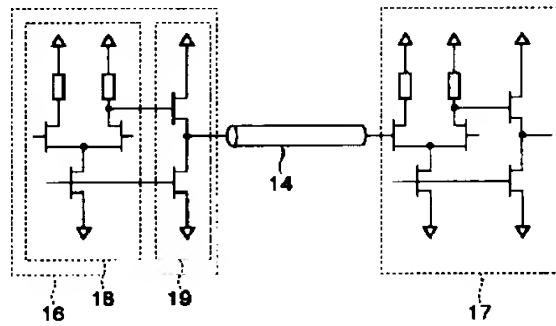
- 11 半導体基板、
- 12 グラウンド配線、
- 13 層間絶縁膜、
- 40 14、14a、14b 信号配線、
- 16、21 第1の論理回路セル、
- 17、22 第2の論理回路セル、
- 18、23 差動論理回路、
- 19、24a、24b フォースフォロワ。



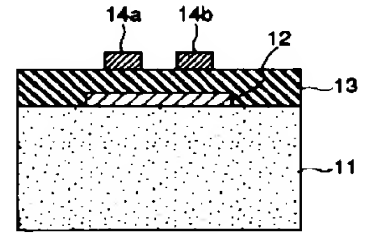
【図1】



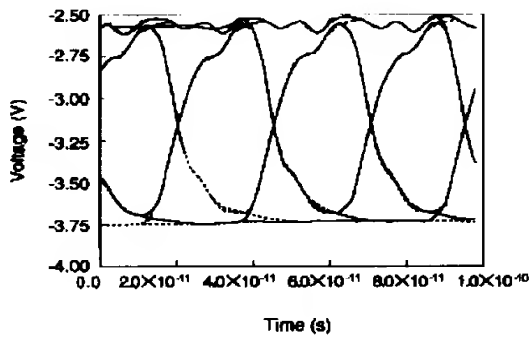
【図2】



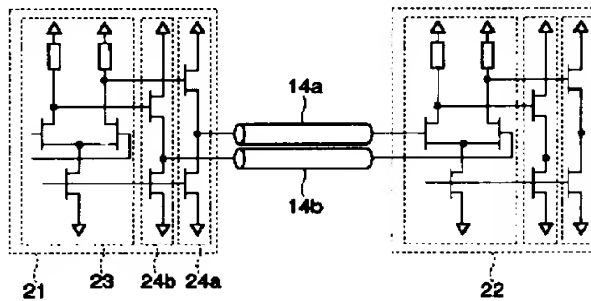
【図4】



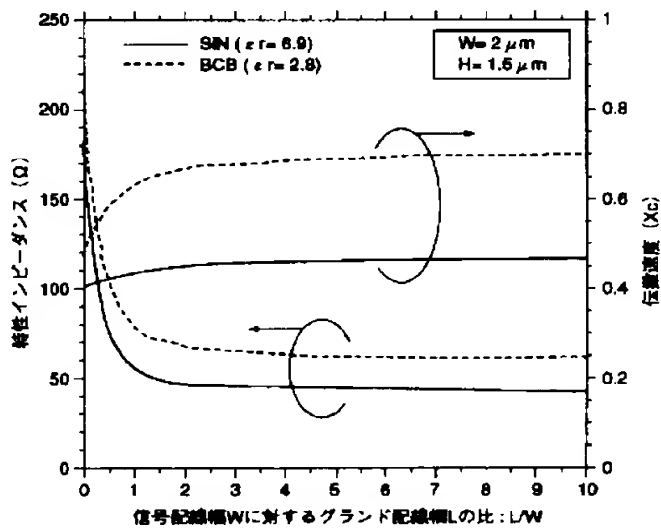
【図3】



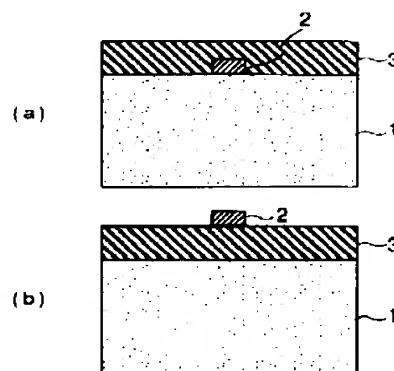
【図5】



【図6】



【図7】



(8)

特開平11-87512

【図8】

